

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-237706

(43)Date of publication of application : 31.08.2001

(51)Int.Cl.

H03M 3/00
H03M 1/12

(21)Application number : 2000-052189

(71)Applicant : HITACHI LTD
HITACHI CAR ENG CO LTD

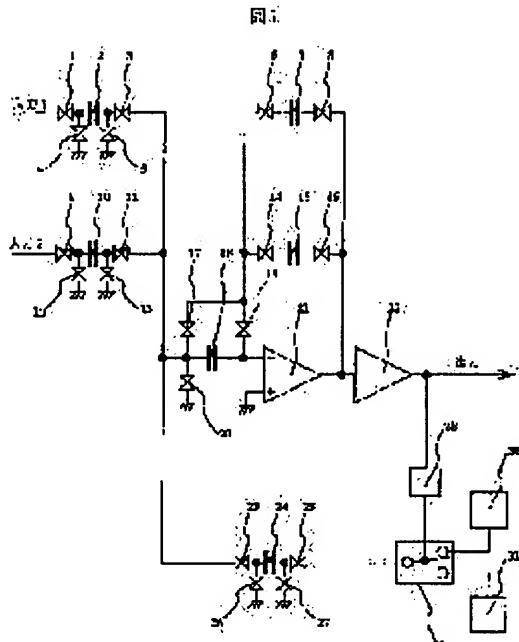
(22)Date of filing : 23.02.2000

(72)Inventor : MATSUMOTO MASAHIRO
MURABAYASHI FUMIO
YAMAUCHI TATSUMI
HANZAWA KEIJI(54) $\Delta\Sigma$ -TYPE A/D CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a $\Delta\Sigma$ -type A/D converter, in which a conversion range can be arbitrarily set and which can be set to an optimum conversion range, corresponding to an input signal since a circuit scale has become very large for arranging $\Delta\Sigma$ -type A/D converters and variable gain amplifiers for the respective input signals when a plurality of input signals are dealt with in the conventional $\Delta\Sigma$ -type A/D converter.

SOLUTION: A $\Delta\Sigma$ -type A/D converter is constituted of a local DA converter, formed of an analog switch operating at a first and a second timing of input 1, an analog switch operating at the first and second timing on input 2, an analog switch operating with the first and second timings irrespective of the selection of input, an SC integrator constituted of a capacitor charged/discharged by the analog switches and an operational amplifier 21, a comparator 22, a D-type flip flop 28, a switch 29 and reference voltage source 30 and 31.



LEGAL STATUS

[Date of request for examination] 23.01.2002

[Date of sending the examiner's decision of rejection] 14.10.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-237706

(P2001-237706A)

(43)公開日 平成13年8月31日 (2001.8.31)

(51)Int.Cl.

H 03 M 3/00
1/12

識別記号

F I

H 03 M 3/00
1/12

テ-マ-ト(参考)

5 J 0 2 2
C 5 J 0 6 4

審査請求 未請求 請求項の数 4 OL (全 6 頁)

(21)出願番号

特願2000-52189(P2000-52189)

(22)出願日

平成12年2月23日 (2000.2.23)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000232999

株式会社日立カーエンジニアリング

茨城県ひたちなか市高場2477番地

(72)発明者 松本 昌大

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74)代理人 100074631

弁理士 高田 幸彦 (外1名)

最終頁に続く

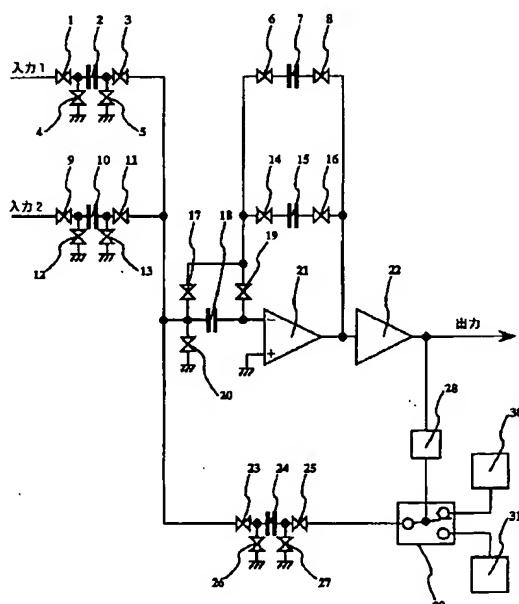
(54)【発明の名称】 $\Delta\Sigma$ 型AD変換器

(57)【要約】

【課題】 $\Delta\Sigma$ 型AD変換器において、複数の入力信号を取り扱う場合、入力信号毎に $\Delta\Sigma$ 型AD変換器、可変ゲインアンプを配置するため回路規模が非常に大きくなつた。本発明はこのような課題に対して、変換レンジを任意に設定でき、入力信号に応じた最適な変換レンジに設定することができる $\Delta\Sigma$ 型AD変換器を提供する。

【解決手段】 入力1の第1、第2のタイミングで動作するアナログスイッチと、入力2について第1、第2のタイミングで動作するアナログスイッチと、入力の選択に関係無く第1、第2のタイミングで動作するアナログスイッチと、これらアナログスイッチによって充放電されるコンデンサと演算増幅器(21)によって構成されるSC積分器と、比較器(22)と、D形フリップフロップ(28)と、切り替え器(29)と基準電圧源(30、31)によって構成される局部DA変換器で構成される。

図1



【特許請求の範囲】

【請求項1】少なくとも第1の出力電圧レベルと第2の出力電圧レベルとを有する局部DA変換器と、入力信号と前記局部DA変換器の出力との差を積分する積分器と、前記積分器の出力を比較する比較器と、前記比較器の出力に応じて前記局部DA変換器の出力を変化させる手段とを有する△Σ型AD変換器において、前記局部DA変換器の第1の出力電圧レベルと第2の出力電圧レベルの切り替え手段を有することを特徴とする△Σ型AD変換器。

【請求項2】少なくとも第1の出力電圧レベルと第2の出力電圧レベルとを有する局部DA変換器と、入力信号と前記局部DA変換器の出力との差を積分する積分器と、前記積分器の出力を比較する比較器と、前記比較器の出力に応じて前記局部DA変換器の出力を変化させる手段とを有する△Σ型AD変換器において、前記局部DA変換器の出力信号の極性反転手段を有することを特徴とする△Σ型AD変換器。

【請求項3】少なくとも第1の出力電圧レベルと第2の出力電圧レベルとを有する局部DA変換器と、複数の入力信号を切り換える切換手段と、前記切換手段の出力信号と前記局部DA変換器の出力との差を積分する積分器と、前記積分器の出力を比較する比較器と、前記比較器の出力に応じて前記局部DA変換器の出力を変化させる手段とを有する△Σ型AD変換器において、前記積分器が積分値を保持するコンデンサを複数有し、前記切換回路の切り換えに応じて、前記コンデンサを切り換える手段を有することを特徴とする△Σ型AD変換器。

【請求項4】少なくとも第1の出力電圧レベルと第2の出力電圧レベルとを有する局部DA変換器と、複数の入力信号を切り換える切換手段と、前記切換手段の出力信号と前記局部DA変換器の出力との差を積分する積分器と、前記積分器の出力を比較する比較器と、前記比較器の出力に応じて前記局部DA変換器の出力を切り替える切り替え手段と、前記比較器の出力の平均値を算出する演算手段を有する△Σ型AD変換器において、複数個の前記演算手段と、前記複数の入力信号の切り換えに応じて前記複数の演算手段を切り換える切り替え手段とを有することを特徴とする△Σ型AD変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は△Σ型AD変換器に係り、特に測定レンジ及び入力信号を切り換えられる△Σ型AD変換器に関する。

【0002】

【従来の技術】測定レンジを切り換えられる△Σ型AD変換器については、公知例特開平11-145829号公報がある。これはD/A変換手段の能力を変化させることで利得調整をおこなうA/D変換器について記載されている。すなわち、能力可変のD/A変換器が設けら

れ、このD/A変換器の制御端子に制御信号を供給することで入力側に利得可変装置を設けることなくD/A変換器の能力を制御し、利得制御がなされるものである。また、複数の入力を扱う△Σ型AD変換器については特開平11-150784号公報がある。これは入力される音響エネルギーを、所定の部分帯域において電気信号に変換する複数のマイクロフォンと、デジタル符号に変換する複数のA/D変換素子と、その出力を合成する手段について記載されている。

【0003】

【発明が解決しようとする課題】上記従来技術においては、測定レンジの切り換えや入力信号の切り換えに関する配慮が欠けている。まず、特開平11-145829に記載されている利得制御機能を有するAD変換器は、利得に関しては配慮しているが、オフセットに関しては配慮がされていない。また、特開平11-150784に記載されている複数の部分帯域マイクロフォンからなるマイクロフォン装置に関しては、複数の入を取り扱うために入力数と同じ数のA/D変換器を配置しなければならない。

【0004】△Σ型AD変換器への入力が不特定である場合、入力信号の振幅やオフセットは前もって分からぬ。また、複数の入力を切り替えて使う場合、それぞれの入力の振幅やオフセットは異なることが考えられる。これに対応するためには可変ゲインアンプを△Σ型AD変換器の前段に入力信号毎に配置することが考えられる。しかしそれでは回路規模が非常に大きくなってしまう。また、複数の入力をA/D変換する場合に、入力数と同じ数のA/D変換器を配置したのでは回路規模が大きくなってしまう。これらのことに関して上記従来技術は考慮が欠けていた。

【0005】本発明の目的は、上記課題を解決し、変換レンジを任意に設定でき、入力信号に応じた最適な変換レンジに設定することができる△Σ型AD変換器を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するため本発明の△Σ型AD変換器は、少なくとも第1の出力電圧レベルと第2の出力電圧レベルとを有する局部DA変換器と、入力信号と前記局部DA変換器の出力との差を積分する積分器と、前記積分器の出力を比較する比較器と、前記比較器の出力に応じて前記局部DA変換器の出力を変化させる手段とを有する△Σ型AD変換器において、前記局部DA変換器の第1の出力電圧レベルと第2の出力電圧レベルの切り替え手段を有することを特徴とする。

【0007】また前記局部DA変換器の出力信号の極性反転手段を有するものであってもよい。また、複数の入力信号を切り換える切換手段と、前記切換手段の出力信号と前記局部DA変換器の出力との差を積分する積分器

と、前記積分器が積分値を保持するコンデンサを複数有し、前記切換回路の切り換えに応じて、前記コンデンサを切り換える手段を有することを特徴とする。

【0008】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。

【0009】まず、本発明による第1の実施例である△Σ型AD変換器を図1により説明する。図1はそのA/D変換器の構成を示している。

【0010】本△Σ型AD変換器は入力1をAD変換する場合に、第1のタイミングで動作するアナログスイッチ1、3、6、8と第2のタイミングで動作するアナログスイッチ4、5がある。また入力2をAD変換する場合に第1のタイミングで動作するアナログスイッチ9、11、14、16と第2のタイミングで動作するアナログスイッチ12、13がある。また、入力の選択に関係なく第1のタイミングで動作するアナログスイッチ17、23、25と第2のタイミングで動作するアナログスイッチ19、20、26、27があり、これらアナログスイッチのオンオフ動作によって充放電されるコンデンサ2、7、10、15、18、24と演算増幅器21によって構成されるSC積分器と、比較器22と、D形フリップフロップ28と、切り替え器29と基準電圧源30、31によって構成される局部DA変換器によって構成される。

【0011】前記SC積分器は入力1が選択された場合には入力1に比例した電荷をコンデンサ2に充放電させ、この充放電させた電荷をコンデンサ7へ転送する。

【0012】また、入力2が選択された場合には入力2に比例した電荷をコンデンサ10に充放電させ、この充放電させた電荷をコンデンサ15へ転送する。このように入力信号の切換に応じて積分用のコンデンサ7、15を切り換えるようにすることで、入力切り換え時に生じる△Σ型AD変換器の遅延を短縮することができる。つまり、入力信号の切換を高速に行えるようになる。なお、本方法では入力信号の数と同じ数のAD変換器を配置する方法と比べ、回路規模を非常に小さくすることが出来る。

【0013】また、本SC積分器では第2のタイミングでアナログスイッチ19、20をオンさせることでコンデンサ18に演算増幅器21のオフセット電圧を充電し、第1のタイミングでアナログスイッチ17をオンさせることでコンデンサ2、10を充放電させる電荷の演算増幅器21のオフセット電圧による影響を無くすようしている。このオフセット電圧の補償手段により演算増幅器21のオフセット電圧をリアルタイムで補償するようすることで、本SC積分器自身のオフセットを無くしている。また、演算増幅器21のゲイン不足によって生じる演算増幅器21の正相入力端子と反転入力端子間の電圧の変動（出力電圧に比例する電圧）を無くすこ

とで、正相入力端子と反転入力端子間の電圧の変動により生じるSN比の劣化を低減させている。また、演算増幅器21で発生する1/fノイズについても同時に低減している。

【0014】次に局部DA変換器について説明する。局部DA変換器はDフリップフロップ28の出力信号に応じて切り替え器29の出力を基準電圧源30と基準電圧源31に切り換える回路である。ここで基準電圧源30の電圧はこの△Σ型AD変換器の上側の変換レンジに対応する電圧であり、基準電圧源31の電圧は△Σ型AD変換器の下側の変換レンジに対応する電圧になる。従って、基準電圧源30、31の電圧を任意に設定出来るようにすることで、この△Σ型AD変換器の入力レンジを任意に設定出来るようになることができる。

【0015】また、△Σ型AD変換器の分解能は変換レンジには関係しないため、△Σ型AD変換器の分解能を10ビット出るように設計しておけば、変換レンジが大きいときでも、小さいときでも分解能10ビットを得ることが出来る。これは、局部DA変換器の振幅に変換レンジと比較器で生じる量子化ノイズの値が比例するため、分解能を決める変換レンジと量子化ノイズの比が一定になるからである。つまり、分解能を維持しながら変換レンジを大きくしたり小さくしたり出来る。従って、本実施例で示す構成のように基準電圧源30、31の電圧を任意に設定出来るようにすることで、変換レンジを任意に設定することができ、且つ小さい変換レンジに於いても分解能を維持することができるようになる。

【0016】また、この基準電圧源30、31の値を任意に設定できるようにすることで、この△Σ型AD変換器に接続される信号源に最適の変換レンジを設定できるようになる。

【0017】また、入力の切替に応じて基準電圧源30、31の出力を切り換えることで、入力信号毎に最適な変換レンジを設定できるようになる。

【0018】次に、本発明による第2の実施例である△Σ型AD変換器を図2、3について説明する。なお、図2は第2の実施例の、△Σ型AD変換器の構成、図3は第2の実施例の、△Σ型AD変換器の入出力特性を示している。

【0019】本△Σ型AD変換器は第1のタイミングで動作するアナログスイッチ32、34、41、43、48、50、53、55と、第2のタイミングで動作するアナログスイッチ35、36、39、40、51、52、56、57と、これらアナログスイッチによって充放電されるコンデンサ33、37、42、45、49、54と演算増幅器38、44によって構成されるSC積分器と、比較器46と、D形フリップフロップ47と、切り替え器58、60と基準電圧源59、61によって構成される局部DA変換器によって構成される。

【0020】本 $\Delta\Sigma$ 型AD変換器は2個のSC積分器を設け、各々を差動動作させた $\Delta\Sigma$ 型AD変換器で、電源ノイズの影響を低減できる効果がある。本 $\Delta\Sigma$ 型AD変換器ではSC積分器の差動動作に対応するため、局部DA変換器は切り替え器58、60の2個を有し、各々基準電圧源59、61の電圧を逆相で切り換えるように動作させている。この様に、局部DA変換器を動作させることで、本 $\Delta\Sigma$ 型AD変換器の変換レンジは図3に示すように、基準電圧源59、61の電圧に応じて変化させることができるようにになる。つまり、本 $\Delta\Sigma$ 型AD変換器では基準電圧源59の出力電圧VHと基準電圧源61の出力電圧VLに応じて、変換レンジのスパンを任意に設定できるようにすることができる。なお、オフセットについては基準電圧源59の出力電圧VHと基準電圧源61の出力電圧VLの影響を受けないので、安定したオフセット特性を得ることができる。

【0021】次に、本発明による第3の実施例である $\Delta\Sigma$ 型AD変換器を図4、5により説明する。なお、図4は第3の実施例の、 $\Delta\Sigma$ 型AD変換器の構成を、図5は第3の実施例の、 $\Delta\Sigma$ 型AD変換器の入出力特性を示している。

【0022】本 $\Delta\Sigma$ 型AD変換器は先述した第2の実施例の $\Delta\Sigma$ 型AD変換器に反転回路62、63を追加した $\Delta\Sigma$ 型AD変換器で、反転回路62、63を追加することで変換レンジを図5に示すように、基準電圧源59の出力電圧VHでこの $\Delta\Sigma$ 型AD変換器の上側の変換レンジを決定し、基準電圧源61の出力電圧VLで下側の変換レンジを決定できるようにしたものである。こうすることで、この $\Delta\Sigma$ 型AD変換器の入力レンジを任意に調整出来るようにした。なお、本実施例では反転回路62、63を設けたが、アナログスイッチ55を第2のタイミングで動作させ、アナログスイッチ57を第1のタイミングで動作させることでも同じ効果を得ることができる。

【0023】次に、本発明による第4の実施例である $\Delta\Sigma$ 型AD変換器を図6により説明する。なお、図6は第4の実施例、 $\Delta\Sigma$ 型AD変換器の構成を示している。

【0024】本 $\Delta\Sigma$ 型AD変換器は入力1と入力2を切り換える切換回路64と、 $\Delta\Sigma$ 変調器65と、切換回路64と同期して動作する切換回路66と、デシメータフィルタ67、68により構成される。

【0025】本 $\Delta\Sigma$ 型AD変換器は入力の切換に応じて、デシメータフィルタ67、68を切り換えることで、最も動作速度の遅いデシメータフィルタ67、68の切換を高速に行えるようにした。

【0026】

【発明の効果】本発明によれば、 $\Delta\Sigma$ 型AD変換器の変換レンジを任意に設定できるので、入力信号に応じた最適な変換レンジに設定することができる。また、入力信

号を高速に切り換えるので、入力信号の数に応じた $\Delta\Sigma$ 型AD変換器を配置する必要がなく、回路規模の縮小化をはかることができる。

【図面の簡単な説明】

【図1】本発明の、第1の実施例である $\Delta\Sigma$ 型AD変換器の、構成を示す図である。

【図2】本発明の、第2の実施例である $\Delta\Sigma$ 型AD変換器の、構成を示す図である。

【図3】本発明の、第2の実施例である $\Delta\Sigma$ 型AD変換器の、入出力特性を示す図である。

【図4】本発明の、第3の実施例である $\Delta\Sigma$ 型AD変換器の、構成を示す図である。

【図5】本発明の、第3の実施例である $\Delta\Sigma$ 型AD変換器の、入出力特性を示す図である。

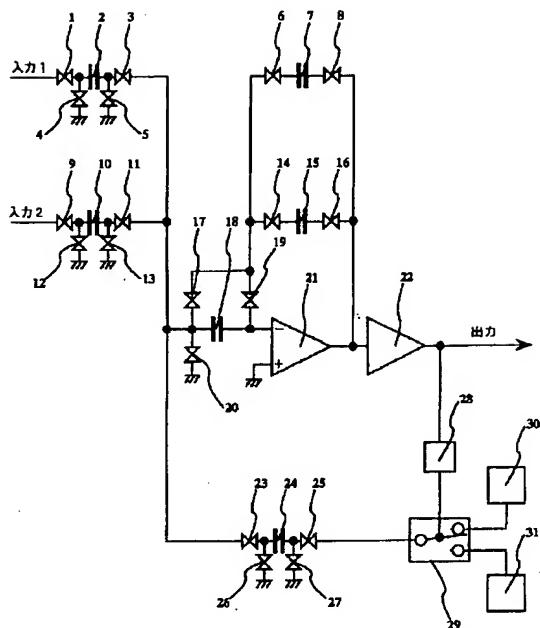
【図6】本発明の、第4の実施例である $\Delta\Sigma$ 型AD変換器の、構成を示す図である。

【符号の説明】

1…アナログスイッチ、2…コンデンサ、3…アナログスイッチ、4…アナログスイッチ、5…アナログスイッチ、6…アナログスイッチ、7…コンデンサ、8…アナログスイッチ、9…アナログスイッチ、10…コンデンサ、11…アナログスイッチ、12…アナログスイッチ、13…アナログスイッチ、14…アナログスイッチ、15…コンデンサ、16…アナログスイッチ、17…アナログスイッチ、18…コンデンサ、19…アナログスイッチ、20…アナログスイッチ、21…演算増幅器、22…比較器、23…アナログスイッチ、24…コンデンサ、25…アナログスイッチ、26…アナログスイッチ、27…アナログスイッチ、28…Dフリップフロップ、29…切り替え器、30…基準電圧源、31…基準電圧源、32…アナログスイッチ、33…コンデンサ、34…アナログスイッチ、35…アナログスイッチ、36…アナログスイッチ、37…コンデンサ、38…演算増幅器、39…アナログスイッチ、40…アナログスイッチ、41…アナログスイッチ、42…コンデンサ、43…アナログスイッチ、44…演算増幅器、45…コンデンサ、46…比較器、47…Dフリップフロップ、48…アナログスイッチ、49…コンデンサ、50…アナログスイッチ、51…アナログスイッチ、52…アナログスイッチ、53…アナログスイッチ、54…コンデンサ、55…アナログスイッチ、56…アナログスイッチ、57…アナログスイッチ、58…切り替え器、59…基準電圧源、60…切り替え器、61…基準電圧源、62…反転回路、63…反転回路、64…切換回路、65… $\Delta\Sigma$ 変調器、66…切換回路、67…デシメータフィルタ、68…デシメータフィルタ

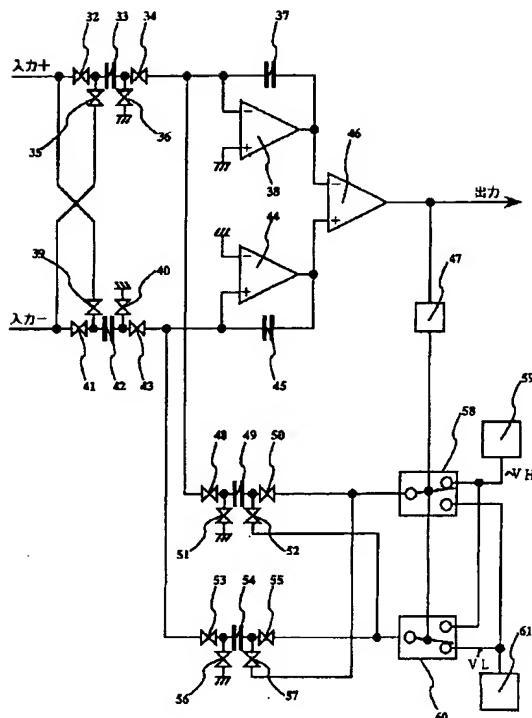
【図1】

図1



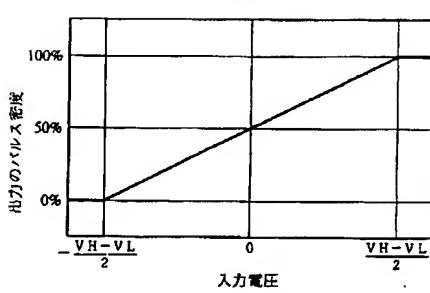
【図2】

図2



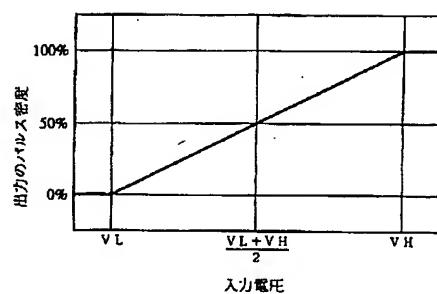
【図3】

図3

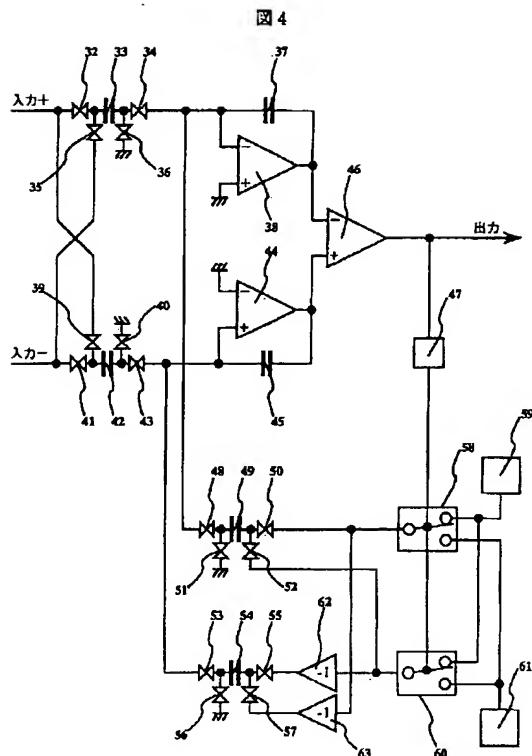


【図5】

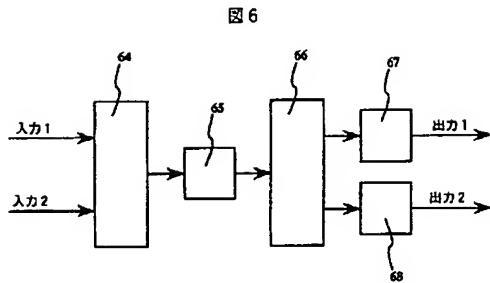
図5



【図4】



【図6】



フロントページの続き

(72)発明者 村林 文夫
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 山内 辰美
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 半沢 恵二
茨城県ひたちなか市高場2477番地 株式会
社日立カーエンジニアリング内

F ターム(参考) 5J022 AA00 AB01 CA09 CB01 CE01
CF03 CF07
5J064 AA04 BC03 BC06 BC10 BC19
BC23 BC24 BC25 BD01